

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-215458

(P2001-215458A)

(43) 公開日 平成13年8月10日 (2001.8.10)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
G 0 2 F 1/13	1 0 1	G 0 2 F 1/13	1 0 1 2 H 0 8 8
1/133	5 0 5	1/133	5 0 5 2 H 0 9 2
1/1368		1/136	5 0 0 2 H 0 9 3

審査請求 未請求 請求項の数 5 O L (全 7 頁)

(21) 出願番号 特願2000-23168 (P2000-23168)

(22) 出願日 平成12年1月31日 (2000.1.31)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 丸野 元志

埼玉県深谷市幡羅町一丁目9番地2号 株式会社東芝深谷工場内

(72) 発明者 ▲もたい▼ 友信

埼玉県深谷市幡羅町一丁目9番地2号 株式会社東芝深谷工場内

(74) 代理人 100062764

弁理士 樺澤 襄 (外2名)

最終頁に続く

(54) 【発明の名称】 液晶表示装置に関する回路シミュレーション方法

(57) 【要約】

【課題】 チャネル長の異なる複数の薄膜トランジスタが形成された液晶表示装置に関する回路を簡単にシミュレーションできる液晶表示装置に関する回路シミュレーション方法を提供する。

【解決手段】 薄膜トランジスタのしきい値電圧の、ドレイン電圧依存性、チャネル長依存性、ドレイン電圧のチャネル長依存性およびSファクタのチャネル長依存性を実験値を再現できるように、近似式で表す。しきい値電圧 V_{th} のドレイン電圧依存性を指数関数などを用いることにより、ドレイン電圧 V_{ds} がゼロに近い領域と、ドレイン電圧 V_{ds} が十分大きい領域とで、それぞれある値に収束するような関数で表す。

素子	モデル	L
E A	p a	$L = 4.5 \mu$
E B	p b	$L = 1.0 \mu$

```
.model pb (
+ L0 = 4.5 u
+ U0 = 90,
+ VTO = -1.5 ...
)
```

【特許請求の範囲】

【請求項1】 ガラス基板上に形成された多結晶シリコン薄膜トランジスタによって構成される液晶表示装置に関する回路シミュレーション方法において、薄膜トランジスタのしきい値電圧のドレイン電圧依存性がドレイン電圧がゼロに近い領域と、ドレイン電圧が十分大きい領域とで、ある値に収束する関数で表されるように設定したことを特徴とする液晶表示装置に関する回路シミュレーション方法。

【請求項2】 チャネル長の異なる複数の薄膜トランジスタが形成された液晶表示装置に関する回路シミュレーション方法において、あるチャネル長の薄膜トランジスタの特性のパラメータに基づき、異なるチャネル長の薄膜トランジスタの特性のパラメータを求めて回路をシミュレーションすることを特徴とする液晶表示装置に関する回路シミュレーション方法。

【請求項3】 各薄膜トランジスタのサブスレッショルド領域のゲート電圧に対するドレイン電流の10を底とする対数の値の増加の割合の逆数であるSファクタのチャネル長に伴う変化が、チャネル長が大きくなるにつれてある値に収束するべき関数で表されるように設定したことを特徴とする請求項2記載の液晶表示装置に関する回路シミュレーション方法。

【請求項4】 任意のチャネル長Lの薄膜トランジスタのSファクタをある特定のチャネル長 L_0 の薄膜トランジスタのSファクタ S_0 およびチャネル長Lのある関数で、関数 $g(L)$ を用いて $S(L) = S_0 - g(L_0) + g(L)$ と表し、ある特定のチャネル長 L_0 の多結晶シリコン薄膜トランジスタの特性から抽出されたパラメータのうち、そのトランジスタのSファクタ値を表すパラメータ S_0 を、上記 $S(L)$ で置き換えて計算することを特徴とする請求項3記載の液晶表示装置に関する回路シミュレーション方法。

【請求項5】 ガラス基板上に形成された多結晶シリコン薄膜トランジスタによって構成される液晶表示装置に関する回路シミュレーション方法において、薄膜トランジスタのしきい値電圧のドレイン電圧依存性がドレイン電圧がゼロに近い領域と、ドレイン電圧が十分大きい領域とで、ある値に収束する関数で表されるように設定するとともに、あるチャネル長の薄膜トランジスタの特性のパラメータに基づき、異なるチャネル長の薄膜トランジスタの特性のパラメータを求めて回路をシミュレーションし、任意のチャネル長Lの多結晶シリコン薄膜トランジスタの任意のドレイン電圧 V_{ds} におけるしきい値電圧 $V_{th}(L, V_{ds})$ を、ある特定のチャネル長 L_0 の多結晶シリコン薄膜トランジスタの、ある特定のドレイン電圧値におけるしきい値電圧 V_{TO} と、チャネル長Lとドレイン電圧 V_{ds} の関数であり任意のドレイン電圧 V_{ds} におけるしきい値電圧 V_{th} のドレイン電圧依

存性を表現しているある関数 $f(L, V_{ds})$ を用いて、 $V_{th}(L, V_{ds}) = V_{TO} - f(L_0, V_{ds}) + f(L, V_{ds})$ と表わし、チャネル長 L_0 の多結晶シリコン薄膜トランジスタの特性から抽出されたパラメータのうち前記 V_{TO} を前記 $V_{th}(L, V_{ds})$ で置き換え、他のパラメータはそのまま使うことによりある特定のチャネル長 L_0 とは異なるチャネル長の、任意のドレイン電圧値におけるトランジスタ特性を計算することを特徴とする液晶表示装置に関するシミュレーション方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、チャネル長の異なる複数の薄膜トランジスタを有する液晶表示装置に関する回路のシミュレーション方法に関する。

【0002】

【従来の技術】一般に、液晶表示装置はアレイ基板とこのアレイ基板に対向する対向基板を有し、これらアレイ基板および対向基板間に液晶が挟持されている。また、このアレイ基板に薄膜トランジスタが用いられ、特に、最近では多結晶シリコンを活性層とした薄膜トランジスタを使い、アレイ基板に液晶を駆動するための回路を形成している。

【0003】一方、薄膜トランジスタの特性からこれら回路の特性をシミュレーションし、このシミュレーションのためのシミュレータとしてたとえばSPICE(商品名)が用いられている。そして、このようなシミュレータは、一般の半導体の回路のシミュレーション用に作られたものであるため、MOS型電界効果トランジスタが、ゲート、ソース、ドレインおよび基板端子の4端子を有することを前提としており、電界効果トランジスタのモデルとしてはいわゆる4端子モデルを使っている。

【0004】しかしながら、液晶表示装置のアレイ基板はガラス基板を用いているため、ガラス基板の上に薄膜トランジスタを形成した場合には、基板端子は接地されずにフリーとなる。このため、薄膜トランジスタの特性を表すモデルは3端子モデルにしなければならない。この3端子モデルには基板端子を接地しない薄膜トランジスタの特性を表現するための複数のパラメータが存在し、薄膜トランジスタの電流、電圧特性や容量特性などの実測データに対し、3端子モデルに基づいたシミュレーション結果の誤差が最小となるようにパラメータを抽出している。なお、このパラメータは約30個あり、移動度やしきい値に対応するパラメータも含まれている。

【0005】ところで、上述の多結晶シリコンの薄膜トランジスタを用いれば、駆動能力を利用してガラス基板上にデジタルアナログコンバータあるいはインバータ回路などの回路を形成することも可能となるが、このような回路にはチャネル長の異なる複数の薄膜トランジスタが含まれている。また、これらの回路は画素表示領域の周囲であるいわゆる額縁に形成され、額縁の領域はでき

るだけ狭くしたいので、薄膜トランジスタのチャネル長は数 μm 以下となる。

【0006】ここで、多結晶シリコンの薄膜トランジスタについて説明する。

【0007】まず、チャネル長が短くなると、多結晶シリコンの薄膜トランジスタのしきい値電圧はデプリート方向にシフトし、チャネル長が $10\mu\text{m}$ 以下ではしきい値電圧の変化が特に大きい。図7にnチャネルの薄膜トランジスタのしきい値 V_{th} ($V_{ds}=0.05\text{V}$) の場合を示す。また、チャネル長 L が同じ多結晶シリコンの薄膜トランジスタでもドレイン電圧 V_{ds} が大きくなるにつれて、しきい値電圧はよりデプリート方向へシフトする。したがって、あるドレイン電圧 V_{ds} におけるしきい値電圧 V_{th} と $V_{ds}=0.05\text{V}$ におけるしきい値電圧の差の絶対値 $|V_{th}(V_{ds}) - V_{th}(V_{ds}=0.05\text{V})|$ を考えると、図8に示すように、ドレイン電圧 V_{ds} の単調増加関数となる。さらに、ドレイン電圧 V_{ds} が大きくなるにつれて、しきい値電圧 V_{th} がよりデプリート方向へシフトするという傾向はチャネル長 L が小さくなるにつれて大きくなり、たとえば $|V_{th}(V_{ds}=10) - V_{th}(V_{ds}=0.05\text{V})|$ の値は図9に示すようにチャネル長 L の単調増加関数となる。

【0008】また、各薄膜トランジスタのサブスレッショルド領域のゲート電圧に対するドレイン電流の増加の割合はチャネル長 L が小さくなるに従って大きくなり、図10に示すように、サブスレッショルド領域のゲート電圧に対するドレイン電流の10を底とする対数の値の増加の割合の逆数であるSファクタはチャネル長 L が長くなるに従って大きくなる。なお、 V_g をゲート電圧、 I_{ds} をドレイン電流としたとき、 $S=dV_g/d(\log_{10} I_{ds})$ である。

【0009】そして、実際には、たとえばインバータ回路は、出力電位がOFFからONになるときの入力電圧の値、すなわち動作電圧が、薄膜トランジスタのしきい値電圧 V_{th} で決まる一方で、薄膜トランジスタのチャネル長 L が異なるとしきい値をはじめとする電流および電圧特性が異なるため、インバータ回路の動作電圧も変わってしまう。したがって、チャネル長が異なる複数の薄膜トランジスタを有する回路の動作は複雑となる。

【0010】なお、多結晶シリコンの薄膜トランジスタについて説明したが、非結晶シリコンの薄膜トランジスタおよび結晶シリコンの薄膜トランジスタの場合にも適用できる。

【0011】一方、結晶シリコンのモデルで、しきい値電圧のドレイン電圧依存性と、しきい値電圧のチャネル長依存性を考慮したものとしては、たとえば、Z.H.Liu, C.Hu, J.H.Huang, T.Y.Chan, M.C.Jeng, P.K.Ko, and Y.C.Cheng, "Threshold Voltage Model For Deep-Submicrometer MOSFETs," IEEE Trans. Electron Devices, vol. 40, pp86-95, Jan., 1993. の文献に記載の構成が知られ

ている。

【0012】なお、このモデルでは、しきい値電圧 V_{th} のドレイン電圧 V_{ds} が増加するに伴ないしきい値電圧 V_{th} が線形的に比例して増加している。

【0013】

【発明が解決しようとする課題】しかしながら、液晶ディスプレイで使われるガラス基板上に形成される、多結晶シリコン用の3端子モデルには前述の、チャネル長 L の変形に伴う、しきい値電圧 V_{th} の変化、しきい値電圧 V_{th} のドレイン電圧 V_{ds} の依存性の変化、Sファクタの変化が考慮されていない。

【0014】このため、チャネル長が異なる薄膜トランジスタについて3端子モデルを使ってシミュレーションする場合には、異なるチャネル長の薄膜トランジスタ毎に薄膜トランジスタの特性のパラメータを抽出し、それぞれの3端子モデルをネットリスト上で定義しなければならず、薄膜トランジスタの特性のパラメータの抽出に時間がかかって作業効率が低下する問題を有している。なお、ここで、ネットリストとはシミュレーションの対象の回路の薄膜トランジスタなどの各素子がどのようにつながっているかを表すデータである。

【0015】また、前述した結晶シリコンで使われているモデルではしきい値電圧 V_{th} のドレイン電圧 V_{ds} の依存性が単なる線型関係となっていたが、多結晶シリコンでは単なる線型関係では誤差が大きくなってしまふ。さらに、しきい値電圧 V_{th} のドレイン電圧 V_{ds} の依存性自体のチャネル長依存性およびSファクタのチャネル長依存性は考慮されていない。

【0016】本発明は、上記問題点を鑑みなされたもので、チャネル長の異なる複数の薄膜トランジスタが形成された液晶表示装置に関する回路を簡単にシミュレーションできる液晶表示装置に関する回路シミュレーション方法を提供することを目的とする。

【0017】

【課題を解決するための手段】本発明は、ガラス基板上に形成された多結晶シリコン薄膜トランジスタによって構成される液晶表示装置に関する回路シミュレーション方法において、薄膜トランジスタのしきい値電圧のドレイン電圧依存性がドレイン電圧がゼロに近い領域と、ドレイン電圧が十分大きい領域とで、ある値に収束する関数で表されるように設定したもので、薄膜トランジスタのしきい値電圧のドレイン電圧依存性がドレイン電圧がゼロに近い領域と、ドレイン電圧が十分大きい領域とで、それぞれある値に収束する関数で表されるように設定することにより、ドレイン電圧依存性を実験値で再現できるようにする。

【0018】また、本発明は、チャネル長の異なる複数の薄膜トランジスタが形成された液晶表示装置に関する回路シミュレーション方法において、あるチャネル長の薄膜トランジスタの特性のパラメータに基づき、異なる

チャネル長の薄膜トランジスタの特性のパラメータを求めて回路をシミュレーションするもので、異なるチャネル長の薄膜トランジスタの特性パラメータに基づき、あるチャネル長の薄膜トランジスタの特性パラメータを求め、チャネル長依存性を実験値で再現できるようにする。

【0019】さらに、各薄膜トランジスタのサブスレッショルド領域のゲート電圧に対するドレイン電流の10を底とする対数の値の増加の割合の逆数であるSファクタのチャネル長に伴う変化が、チャネル長が大きくなるにつれてある値に収束するべき関数で表されるように設定したもので、Sファクタのチャネル長依存性を実験値で再現できるように、近似式で表す。

【0020】また、任意のチャネル長Lの薄膜トランジスタのSファクタをある特定のチャネル長 L_0 の薄膜トランジスタのSファクタ S_0 およびチャネル長Lのある関数で、関数 $g(L)$ を用いて $S(L) = S_0 - g(L) + g(L_0)$ と表し、ある特定のチャネル長 L_0 の多結晶シリコン薄膜トランジスタの特性から抽出されたパラメータのうち、そのトランジスタのSファクタ値を表すパラメータ S_0 を、上記 $S(L)$ で置き換えて計算するもので、Sファクタのチャネル長依存性を実験値で再現できるように、近似式で表す。

【0021】さらに、ガラス基板上に形成された多結晶シリコン薄膜トランジスタによって構成される液晶表示装置に関する回路シミュレーション方法において、薄膜トランジスタのしきい値電圧のドレイン電圧依存性がドレイン電圧がゼロに近い領域と、ドレイン電圧が十分大きい領域とで、ある値に収束する関数で表されるように設定するとともに、あるチャネル長の薄膜トランジスタの特性のパラメータに基づき、異なるチャネル長の薄膜トランジスタの特性のパラメータを求めて回路をシミュレーションし、任意のチャネル長Lの多結晶シリコン薄膜トランジスタの任意のドレイン電圧 V_{ds} におけるしきい値電圧 $V_{th}(L, V_{ds})$ を、ある特定のチャネル長 L_0 の多結晶シリコン薄膜トランジスタの、ある特定のドレイン電圧値におけるしきい値電圧 V_{TO} と、チャネル長Lとドレイン電圧 V_{ds} の関数であり任意のドレイン電圧 V_{ds} におけるしきい値電圧 V_{th} のドレイン電圧依存性を表現しているある関数 $f(L, V_{ds})$ を用いて、 $V_{th}(L, V_{ds}) = V_{TO} - f(L_0, V_{ds}) + f(L, V_{ds})$ と表わし、チャネル長 L_0 の多結晶シリコン薄膜トランジスタの特性から抽出されたパラメータのうち前記 V_{TO} を前記 $V_{th}(L, V_{ds})$ で置き換え、他のパラメータはそのまま使うことによりある特定のチャネル長 L_0 とは異なるチャネル長の、任意のドレイン電圧値におけるトランジスタ特性を計算するもので、薄膜トランジスタのしきい値電圧のドレイン電圧依存性、チャネル長依存性、ドレイン電圧のチャネル長依存性およびSファクタのチャネル長依存性を実験値で再現できるように、

近似式で表す。

【0022】

【発明の実施の形態】以下、本発明の液晶表示装置に関する回路シミュレーション方法の一実施の形態を図面を参照して説明する。

【0023】まず、液晶表示装置の一般的な構成について説明する。

【0024】液晶表示装置は、絶縁性基板のガラス基板を有するマトリクスアレイ基板に、対向基板を対向させ、これらマトリクスアレイ基板および対向基板間に液晶を挟持して構成され、マトリクスアレイ基板のガラス基板上の画素表示領域には画素制御用の薄膜トランジスタが設けられ、画素表示領域の周囲のいわゆる額縁には制御その他の回路を構成する多結晶シリコンの薄膜トランジスタが設けられている。なお、この額縁に設けられた薄膜トランジスタは、チャネル長Lが異なる複数の薄膜トランジスタで構成されている。

【0025】そして、このようにチャネル長Lが異なる薄膜トランジスタによって構成される回路のシミュレーション方法について説明する。

【0026】まず、薄膜トランジスタのドレイン電圧 V_{ds} が0.05Vのときのしきい値電圧 V_{th} とチャネル長Lの関係、しきい値電圧 V_{th} のドレイン電圧依存性、しきい値電圧 V_{th} のドレイン電圧依存性とチャネル長Lの関係について実験値を再現できるように、近似式を用いて関数 $V_{th}(L, V_{ds})$ で表す。

【0027】また、サブスレッショルド領域のゲート電圧に対するドレイン電流の10を底とする対数の値の増加の割合の逆数であるSファクタと、チャネル長Lの関係を近似式を用いて関数 $S(L)$ で表す。

【0028】そして、これらの関数 $V_{th}(L, V_{ds})$ 、 $S(L)$ を、定数a、b、指数関数、べき関数などの初等関数を用いたある関数 $f(L, V_{ds})$ 、 $g(L)$ を用いてそれぞれ次のように表す。

$$\begin{aligned} V_{th}(L, V_{ds}) &= a + f(L, V_{ds}) \\ S(L) &= b + g(L) \end{aligned}$$

さらに、定数a、bを従来モデルにおけるしきい値電圧 V_{th} を表すパラメータ V_{TO} 、Sファクタを表すパラメータ S_0 を使って次のように書き直す。

$$\begin{aligned} V_{th}(L, V_{ds}) &= V_{TO} - f(L_0, V_{ds}) + f(L, V_{ds}) \\ S(L) &= S_0 - g(L_0) + g(L) \end{aligned}$$

ただし、 L_0 は従来の3端子モデルを使ってパラメータを抽出する参照デバイスのチャネル長である。したがって、

$$\begin{aligned} V_{th}(L_0, V_{ds}) &= V_{TO} \\ S(L_0) &= S_0 \end{aligned}$$

となる。

【0031】そして、従来の3端子モデルにおけるしきい値電圧を表すパラメータ V_{TO} およびSファクタを表

すパラメータ S_0 の部分を、これらの関数 $V_{th}(L, V_{ds})$ 、 $S(L)$ で計算されるしきい値電圧 V_{th} および S ファクタ値で置き換えて、薄膜トランジスタの電流および電圧特性を計算できるようにする。

【0032】なお、しきい値電圧 V_{th} のドレイン電圧依存性は従来例ではドレイン電圧 V_{ds} の線型関数としていたが、 $f(L, V_{ds})$ に指数関数などを用いることにより、図8に示すように、ドレイン電圧 V_{ds} がゼロに近い領域と、ドレイン電圧 V_{ds} が十分大きい領域とで、それぞれある値に収束するような関数とする。

【0033】また、 S ファクタのチャネル長 L 依存性は、関数 $g(L)$ としてべき関数を用いることにより、図10に示すように、チャネル長 L が大きくなるに従って S ファクタ値がある値に収束するようにする。

【0034】次に、チャネル長 L が $L_0 \mu\text{m}$ である参照デバイスの薄膜トランジスタの電流および電圧特性から、従来の3端子モデルを元にパラメータを抽出する。このとき、しきい値電圧 V_{th} のパラメータ V_{TO} の値は、実測データに基づく線型領域、たとえば $V_{ds} = 0.05\text{V}$ のときの値とする。また、サブスレッショルド領域のゲート電圧に対するドレイン電流の10を底とする対数の値の増加の割合の逆数である S ファクタを表す従来モデルのパラメータ S_0 は実測データに基づき、ドレイン電圧 $V_{ds} = 0.05\text{V}$ のときの S ファクタ値に設定し、チャネル長 L を表すパラメータは $L_0 \mu\text{m}$ を入れる。

【0035】そして、このように、しきい値電圧 V_{th} と S ファクタのチャネル長 L 特性を表したモデルを使えば、従来のモデルで抽出されたチャネル長 L が $L_0 \mu\text{m}$ の参照デバイスである薄膜トランジスタについてのパラメータの組を元に各チャネル長 L の薄膜トランジスタのしきい値電圧 V_{th} や S ファクタの特性を反映させたシミュレーションができ、それぞれ異なるチャネル長 L の薄膜トランジスタについてそれぞれパラメータを抽出する必要はない。

【0036】さらに、チャネル長 L のパラメータを指定するだけで、そのチャネル長 L における特性を計算できるようにするために、ネットリスト上では従来モデルのパラメータの組の中に、参照デバイスであるチャネル長 L が $L_0 \mu\text{m}$ の薄膜トランジスタのパラメータ L_0 も指定できるようにする。このパラメータ L_0 を指定することで、抽出されたパラメータセットが $L = L_0 \mu\text{m}$ のデバイスであることを計算機に想起させ、チャネル長 L が異なる薄膜トランジスタの特性を計算させるときに上述のモデル式を反映させる。ちなみに、チャネル長 $L = L_0 \mu\text{m}$ の薄膜トランジスタのドレイン電圧 $V_{ds} = 0.05\text{V}$ の特性の場合は、しきい値電圧 $V_{th}(L, V_{ds})$ 、 S ファクタ $S(L)$ の値は自動的に参照デバイスの薄膜トランジスタのしきい値 V_{th} と S ファクタ、 V_{TO} 、 S_0 になる。

【0037】次に、シミュレーションの対象の回路の薄膜トランジスタなどの各素子がどのようにつながっているかを表すデータであるネットリスト上での使い方をネットリストの書き方を説明する図1および図2と、トランジスタの電流電圧特性の計算結果を表す図3ないし図6を用いて説明する。なお、モデル pa 、 pb のパラメータは、チャネル幅を W としたとき、いずれも $W/L = 9/4$ の P 型の薄膜トランジスタを用いた場合を例にとっている。

【0038】なお、ネットリスト中の記号 u は μm を表し、記号 $model\ pa$ は薄膜トランジスタに関するモデル pa を表し、この薄膜トランジスタを定義する約30個のパラメータのセットは () の中に表記されている。これらのパラメータの中には V_{TO} や、 S_0 も含まれる。

【0039】そして、定義された従来モデルを使って計算されるチャネル長 L が $4.5 \mu\text{m}$ の素子 EA の特性は図5および図6の実線の特性で示され、チャネル長 L が $1.0 \mu\text{m}$ の素子 EB の特性は図5および図6の点線の特性で示される。これら素子 EA と素子 EB とを比較してわかるように、従来モデルでは薄膜トランジスタの ON 電流が $1/L$ に比例しているという特性を表しているが、しきい値電圧 V_{th} や立ち上がり部分の傾きはチャネル長 L が変わっても変化していないため、もし、従来モデルを用いてチャネル長 L 特性を表現したければ、パラメータを各チャネル長毎に抽出し、ネットリスト上でそれぞれ定義する必要がある。

【0040】一方、本実施の形態の場合は、記号 $model\ pb$ の後の () の中に $+L_0 = 4.5u$ という従来モデルで抽出された参照デバイスの薄膜トランジスタのチャネル長 L を示す1行を加える。なお、この表示により、参照デバイスの薄膜トランジスタのチャネル長 L が $4.5 \mu\text{m}$ であることを表している。

【0041】そして、このチャネル長 L の1行を加えることにより、チャネル長 L を含む特性モデルとなり、チャネル長 L が異なる薄膜トランジスタの特性も計算できる。たとえばチャネル長 L が $4.5 \mu\text{m}$ である素子 EC の場合は $L = L_0$ であるため、しきい値電圧 $V_{th}(L, V_{ds}) = V_{TO}$ 、 $S(L) = S_0$ となり、計算に使われるパラメータは参照デバイスの薄膜トランジスタと同じ特性が再現される。

【0042】また、チャネル長 L が $1.0 \mu\text{m}$ である素子 ED の場合には、しきい値電圧 V_{th} 、 S ファクタを反映させた特性が計算できる。チャネル長 L が $4.5 \mu\text{m}$ の素子 EC の特性は図3および図4の実線の特性で示され、チャネル長 L が $1.0 \mu\text{m}$ の素子 ED の特性は図3および図4の点線の特性で示される。従来モデルを使って計算させた素子 EA と素子 EB との場合とは異なり、チャネル長 L が異なることによるしきい値電圧 V_{th} の変化、しきい値電圧 V_{th} のドレイン電圧依存の変化、たち

上がり部分の傾きの変化などが表現されている。

【0043】このように、あるチャネル長 L の薄膜トランジスタのパラメータを抽出しただけで、異なるチャネル長 L の薄膜トランジスタの特性を計算させ、チャネル長 L が異なる複数の薄膜トランジスタによって構成される回路のシミュレーションができる。

【0044】

【発明の効果】本発明によれば、薄膜トランジスタのしきい値電圧のドレイン電圧依存性、チャネル長依存性、ドレイン電圧のチャネル長依存性および S ファクタのチャネル長依存性を実験値で再現できるように、近似式で表し、チャネル長が異なる複数の薄膜トランジスタが形成された液晶表示装置に関する回路のシミュレーション精度を向上できるとともに、作業時間を削減できる。

【図面の簡単な説明】

【図1】本発明の液晶表示装置に関する回路シミュレーション方法の一実施の形態のネットリストを示す図である。

【図2】従来例の液晶表示装置に関する回路シミュレーション方法のネットリストを示す図である。

【図3】本発明の一実施の形態のチャネル長の異なる薄

膜トランジスタのドレイン電圧およびゲート電圧の関係を示すシミュレーション図である。

【図4】同上チャネル長の異なる薄膜トランジスタの底数が10の対数で表したドレイン電圧およびゲート電圧の関係を示すシミュレーション図である。

【図5】従来例のチャネル長の異なる薄膜トランジスタのドレイン電圧およびゲート電圧の関係を示すシミュレーション図である。

【図6】同上チャネル長の異なる薄膜トランジスタの底数が10の対数で表したドレイン電圧およびゲート電圧の関係を示すシミュレーション図である。

【図7】一般的な薄膜トランジスタのしきい値電圧のチャネル長の依存性およびしきい値電圧のドレイン電圧依存性のチャネル長の依存性を示すグラフである。

【図8】同上薄膜トランジスタのしきい値電圧のドレイン電圧依存性を示すグラフである。

【図9】同上薄膜トランジスタのしきい値電圧のチャネル長依存性を示すグラフである。

【図10】同上薄膜トランジスタの S ファクタのチャネル長の依存性を示すグラフである。

【図1】

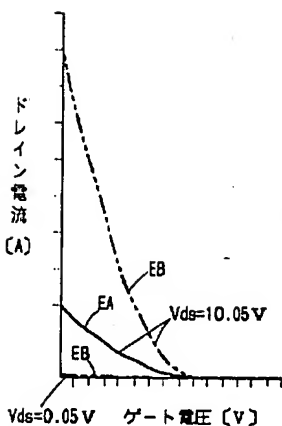
素子	モデル	L	素子	モデル	L
EA	pa	$L=4.5\mu$	EA	pa	$L=4.5\mu$
EB	pb	$L=1.0\mu$	EB	pb	$L=1.0\mu$


```

.model pb (
+L0 = 4.5u
+U0 = 90,
+VTO = -1.5...
)

.model pa (
+U0 = 90,
+VTO = -1.5...
)
  
```

【図5】

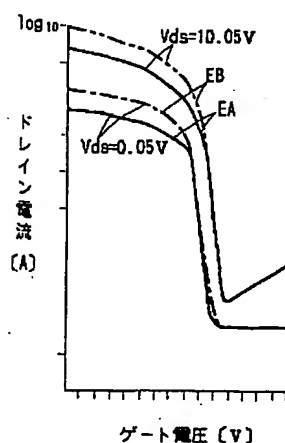


【図2】

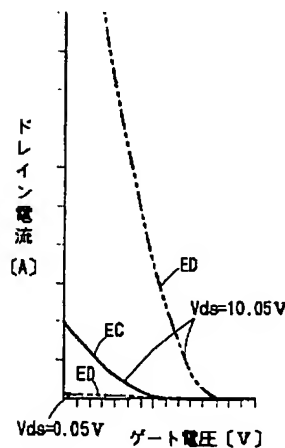
```

.model pa (
+U0 = 90,
+VTO = -1.5...
)
  
```

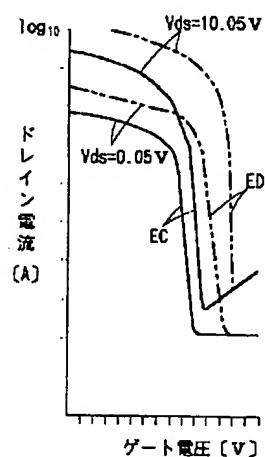
【図6】



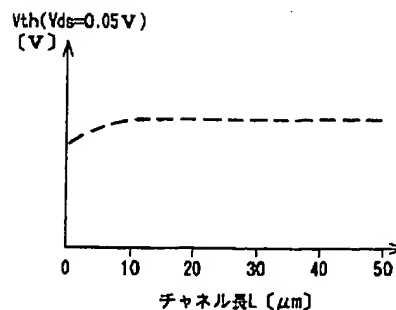
【図3】



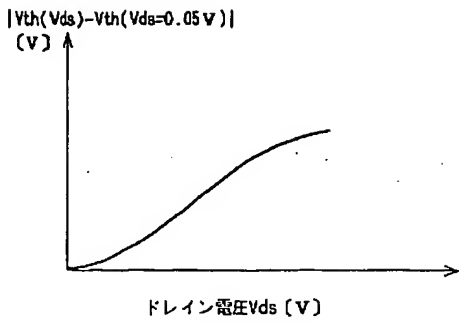
【図4】



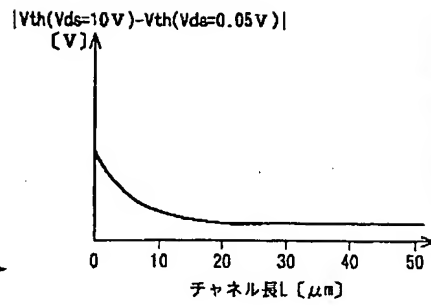
【図7】



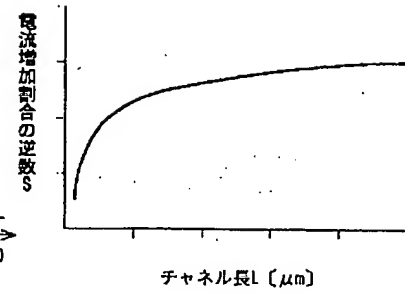
【図8】



【図9】



【図10】



フロントページの続き

Fターム(参考) 2H088 FA11 HA08 MA20
 2H092 JA24 JA31 JA49 KA04 NA25
 PA06
 2H093 NC34 ND56 ND60